

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-109374
(P2003-109374A)

(13) 公開日 平成15年4月11日(2003.4.11)

(51) Int.Cl.¹
G 11 C 11/14

識別記号

F I
G 11 C 11/14

マーク(参考)
Z 5 F 0 8 3
A

H 01 L 11/15
27/105
43/08

11/15
H 01 L 43/08
27/10

Z
4 4 7
審査請求 未審求 請求項の数13 OL (全 11 頁)

(21) 出願番号

特願2001-302806(P2001-302806)

(22) 出願日

平成13年9月28日(2001.9.28)

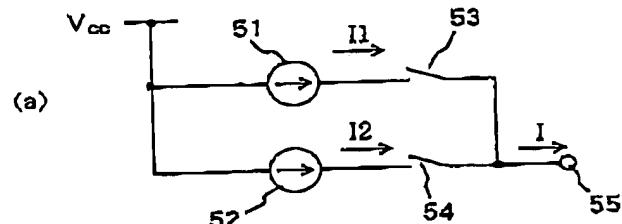
(71) 出願人 000001007
キヤノン株式会社
東京都大田区下丸子3丁目30番2号
(72) 発明者 白井 英二
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内
(74) 代理人 100088328
弁理士 金田 嘉之 (外2名)
Fターム(参考) 5F083 BS13 BS37 FZ10 GA15 JA60
LA10 MA06 MA19

(54) 【発明の名稱】 磁気メモリ装置の書き込み回路

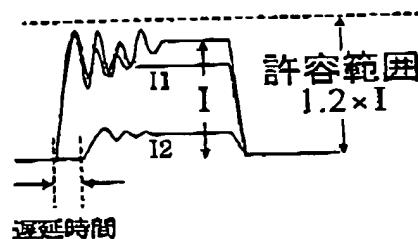
(57) 【要約】

【課題】 データ書き込み時に書き込み線およびピット
線に流れる電流に発生するオーバーシュートを抑制す
る。

【解決手段】 書き込み電流やアシスト電流として矩形の
電流パルスを発生する代わりに、パルス状の電流を発生
させる電流発生手段によって、パルス状の電流の立ち上
がり時において複数段階で電流供給能力を高めることで
電流を供給させ、最終的には本来の規定された電流値
(規定値) Iとなるパルスを生成する。2段階で電流を
供給させる場合であれば、定電流源 51, 52 と、定電
流源 51, 52 の出力側にそれぞれ設けたスイッチ素子
53, 54 とを使用し、スイッチ素子 53 をスイッチ素
子 54 に先行して導通状態とする。



(b)



Best Available Copy

【特許請求の範囲】

【請求項1】 パルス状の電流によって誘起される磁界に応じて情報が書き込まれる磁気抵抗素子をメモリセルに有する磁気メモリ装置における書き込み回路において、

前記パルス状の電流を発生させる電流発生手段は、前記パルス状の電流の立ち上がり時において複数段階で電流パルス状の電流を高めることを特徴とする磁気メモリ装置の書き込み回路。

【請求項2】 パルス状の電流によって誘起される磁界に応じて情報が書き込まれる磁気抵抗素子をメモリセルに有する磁気メモリ装置における書き込み回路において、

前記磁気抵抗素子の磁化方向に平行／反平行な磁界成分を誘起し書き込むべき二値の情報を応じて極性が反転するパルス状の電流である書き込み電流を発生する第1の信号源と、

前記書き込み電流による前記磁気抵抗素子への情報の記録を支援する磁界を誘起するパルス状の電流であるアシスト電流を発生する第2の信号源と、を有し、
前記第1の信号源及び第2の信号源の少なくとも一方からの前記パルス状の電流を発生させる電流発生手段は、前記パルス状の電流の立ち上がり時において複数段階で電流供給能力を高めることを特徴とする磁気メモリ装置の書き込み回路。

【請求項3】 前記第1の信号源及び第2の信号源の両方が前記電流発生手段を有する請求項2に記載の磁気メモリ装置の書き込み回路。

【請求項4】 前記磁気メモリ装置は複数の前記メモリセルがマトリックス状に配置されたメモリセルアレイを有し、前記書き込み電流は前記メモリセルアレイの行方向及び列方向のうちの一方の方向で前記メモリセルアレイ中を流れ、前記アシスト電流は前記メモリセルアレイの行方向及び列方向のうちの他方の方向で前記メモリセルアレイ中を流れられる、請求項2または3に記載の磁気メモリ装置の書き込み回路。

【請求項5】 前記電流供給能力によって前記パルス状の電流を2段階に分けて供給する、請求項1乃至4のいずれか1項に記載の磁気メモリ装置の書き込み回路。

【請求項6】 前記電流発生手段は、第1の定電流源と、第2の定電流源と、前記第1の定電流源の動作を制御する第1のスイッチ素子と、前記第2の定電流源の動作を制御する第2のスイッチ素子と、を有する請求項5に記載の磁気メモリ装置の書き込み回路。

【請求項7】 前記電流発生手段は、第1の定電流源と、第2の定電流源と、前記第1の定電流源の出力側に設けられた第1のスイッチ素子と、前記第2の定電流源の出力側に設けられた第2のスイッチ素子と、を有する請求項5に記載の磁気メモリ装置の書き込み回路。

【請求項8】 前記電流発生手段は、電流源と、前記電

2
流源の出力側に設けられた電界効果トランジスタとを有し、異なるレベルの電圧信号が前記電界効果トランジスタのゲートに印加される、請求項5に記載の磁気メモリ装置の書き込み回路。

【請求項9】 前記電流発生手段は、電流源と、前記電流源の出力側に相互に並列に設けられた第1及び第2の電界効果トランジスタとを有し、異なる立ち上がりタイミングを有する電圧信号が前記第1及び第2の電界効果トランジスタのゲートにそれぞれ印加される、請求項5に記載の磁気メモリ装置の書き込み回路。

【請求項10】 前記電流発生手段は、ソースが電源に接続された第1のトランジスタと抵抗と前記抵抗を介してソースが電源に接続された第2のトランジスタとからなるカレントミラー回路と、前記抵抗の両端を短絡する第1のスイッチ素子と、前記カレントミラー回路の動作／非動作を制御する第2のスイッチ素子と、を有する請求項5に記載の磁気メモリ装置の書き込み回路。

【請求項11】 前記磁気抵抗素子は、強磁性体からなる検出層と強磁性体からなるメモリ層との間に非磁性層を挟み込んだものであり、前記メモリ層における磁化の方向に応じて二値の情報を記録し、記録された情報に応じて電気抵抗値が変化するものである、請求項1乃至10のいずれか1項に記載の磁気メモリ装置の書き込み回路。

【請求項12】 前記非磁性層がトンネル絶縁膜である請求項11に記載の磁気メモリ装置の書き込み回路。

【請求項13】 前記検出層及び前記メモリ層が垂直磁化膜である請求項11または12に記載の磁気メモリ装置の書き込み回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、不揮発性メモリ装置の書き込み回路に関する、特に、磁気抵抗素子を用いたメモリセルを有する磁気メモリ装置に適した書き込み回路に関する。

【0002】

【従来の技術】 強磁性体などの磁性体において、その磁化の方向や磁化の有無などによってその電気抵抗が変化する磁気抵抗効果が知られており、そのときの電気抵抗値の変化率を磁気抵抗比 (MR比; Magneto-Resistance Ratio) という。磁気抵抗比が大きい材料としては、巨大磁気抵抗 (GMR; Giant Magneto-Resistance) 材料や超巨大磁気抵抗 (CMR; Colossal Magneto-Resistance) 材料があり、これらは一般に、金属、合金、複合酸化物などである。例えば、Fe, Ni, Co, Gd, Tb およびこれらの合金や、 $\text{La}_{x}\text{Sr}_{1-x}\text{MnO}_3$, $\text{La}_{1-x}\text{Ca}_{x}\text{MnO}_3$ などの複合酸化物などの材料がある。また一般に、強磁性体は、外部から印加された磁場によってその強磁性体内に発生した磁化が外部磁場を取り除いた後にも残留する（これを残留磁化という）、と

3

いう特性を有している。

【0003】そこで、磁気抵抗材料として強磁性体を用いてその強磁性体の残留磁化を利用すれば、磁化方向や磁化の有無により電気抵抗値を選択して情報を記憶する不揮発性メモリを構成することができる。このような不揮発性メモリは、磁気メモリ(MRAM(磁気ランダムアクセスメモリ); Magnetic Random Access Memory)と呼ばれている。

【0004】近年、開発が進められているMRAMの多くは、巨大磁気抵抗材料の強磁性体の残留磁化で情報を記憶しており、磁化方向の違いによって生じる電気抵抗値の変化を検出することにより、記憶した情報を読み出す方式を採用している。また、書き込み用配線に電流を流す方向で誘起される磁場により強磁性体メモリセルの磁化方向を変化させることで、メモリセルに情報を書き込み、また、その情報を書き換えることができる。

【0005】MRAMのメモリセルとしては、トンネル絶縁膜(トンネル電流が流れる程度の厚さの電気絶縁膜)を2つの強磁性体層で挟んだ構造をもつトンネル磁気抵抗素子(TMR; Tunnel Magneto-Resistance、あるいはMTJ; Magnetic Tunnel Junction)が、高い磁気抵抗変化率(MR比)を備えており、もっとも実用化に近いデバイスとして期待されている。このようなメモリセルとして、従来、2つの面内磁化膜の間にトンネル絶縁膜を挟み込んだ構成のものが検討されていた。しかしながら、面内磁化膜を使用したメモリセルの場合、メモリセルの微小化に伴って、MR比が低下し、必要な書き込み電流が増加し、また、動作点(メモリセルの磁気抵抗値が示すヒステリシスループ)の移動が起こるなどの、解決すべき課題があることが分かっている。これに対し、特開平11-213650号公報においては、2枚の垂直磁化膜の間にトンネル絶縁膜である非磁性層を挟み込んだ構成のものが提案されている。垂直磁化膜を使用することにより、メモリセルを微小化した場合であっても、MR比の低下や書き込み電流の増加が抑えられ、また、ヒステリシスループにおけるシフトも抑えられ、優れた特性を有するメモリセルが得られるようになる。2枚の垂直磁化膜のうち一方は、常に磁化方向が同じ方向である検出層であり、他方は、記録された情報に基づいて磁化の方向が反転するメモリ層である。検出層とメモリ層とは、使用する磁性材料の組成等を異なさせて形成される。検出層とメモリ層の磁化方向が平行であるか反平行であるかにより、検出層とメモリ層との間の電気抵抗が変化し、これを検出することで、記録されている情報を読み出すことができる。以下の説明において磁気抵抗素子の磁化方向あるいは磁化方向の反転とは、メモリ層の磁化方向あるいは磁化方向の反転のことを指す。

【0006】図6は、MRAMのメモリセルアレイの構成の一例を示す回路図である。

10

20

30

40

50

【0007】1個のメモリセルは、可変抵抗として表現された磁気抵抗素子(メモリ素子)11と、磁気抵抗素子11に一端が接続するトランジスタ12とを備えている。トランジスタ12は、典型的にはMOS(Metal-Oxide-Semiconductor)電界効果トランジスタによって構成されており、その他端は接地されている。このようなメモリセルが複数個、2次元にマトリクス状に配置することにより、メモリセルアレイを構成している。ここで図示横方向の並びを行、縦方向の並びを列と呼ぶことになると、図示したものでは、メモリセルアレイにおける3行×3列分の領域が示されている。各行ごとに行方向に延びるピット線BL1～BL3が設けられ、各列ごとに列方向に延びるワード線WL1～WL3が設けられている。各メモリセルにおいて、磁気抵抗素子11の一端は対応する行のピット線に接続し、トランジスタ12のゲートは対応する列のワード線に接続する。

【0008】図示破線で示すのは、各メモリセルへのデータの書き込みを行うための書き込み線WWL1～WWL3であり、この書き込み線は、列ごとに設けられている。後述するように、メモリセル内の磁気抵抗素子11へのデータの記録時には、書き込み線上にパルス状に書き込み電流を流すこととなり、書き込み線上でパルス状の書き込み電流の向きに応じて、二値の記録“0”及び“1”的いずれかが磁気抵抗素子11に書き込まれることになる。そこで、書き込み線WWL1～WWL3ごとに、パルス状の書き込み電流を発生する信号源21と、書き込み線上における信号源21からの書き込み電流の流れの向きを決定する書き込みスイッチ13とが設けられている。各信号源21には、電源回路14から電力が供給されている。

【0009】書き込みスイッチ13は、スイッチ素子としてのトランジスタT1～T4を備えている。トランジスタT1、T2は相互に直列に接続し、トランジスタT2が接地側となるように、信号源21の出力と接地点とに間に挿入されている。同様に、トランジスタT3、T4は相互に直列に接続し、トランジスタT4が接地側となるように、信号源21の出力と接地点とに間に挿入されている。各書き込み線WWL1～WWL3はいずれも列の他端で折り返す構成であり、対応するトランジスタT1、T2の相互接続点とトランジスタT3、T4の相互接続点との間に接続されている。トランジスタT1、T4が導通状態でトランジスタT2、T3が遮断状態であれば、信号源21からの書き込み電流は書き込み線上において図示反時計回りに流れ、トランジスタT1、T4が遮断状態でトランジスタT2、T3が導通状態であれば図示時計回りに書き込み電流が流れ。このため、書き込みスイッチ13により、信号源21から双方に書き込み電流を流すことができる。

【0010】図7は、メモリセルの構成の一例を示す断面図である。図では、列方向に並ぶ2個のメモリセルが

示されている。

【0011】半導体基板30上に素子分離領域31が形成されるとともに、トランジスタ12のドレイン領域32およびソース領域33が設けられ、ドレイン領域32およびソース領域33に挟まれた領域において、ゲート絶縁膜34を介して、トランジスタ12のゲート電極を兼ねるワード線35(図6におけるワード線WL1～WL3に対応)が形成されている。図示した例では、2個のトランジスタ12がソース領域33を兼用する形態となっており、このようなトランジスタ12を覆うように、層間絶縁膜36、37および38がこの順で設けられている。層間絶縁膜38は、特に薄く形成されている。ソース領域33は、プラグ39を介して、層間絶縁膜36上に形成された接地線40に接続し、ドレイン領域32は、プラグ41を介して、層間絶縁膜38上に形成された磁気抵抗素子11に下面に接続している。磁気抵抗素子11は、図示した例では、特開平11-213650号公報に記載されたような、一方が検出層であり他方がメモリ層である2層の垂直磁化膜の間に非磁性層であるトンネル絶縁膜を挟持した構成のものである。また、層間絶縁膜38の下には、層間絶縁膜37に彫り込まれるように、書き込み線42(図6における書き込み線WWL1～WWL3に対応)が形成されている。隣接する磁気抵抗素子11間の領域を埋めるように層間絶縁膜43が形成されており、磁気抵抗素子11の上面は、層間絶縁膜43上に形成されて図示左右方向に延びるビット線44(図6におけるビット線BL1～BL3に対応)に接続している。さらに、層間絶縁膜43やビット線44を覆うように、保護膜を兼ねる層間絶縁膜45が形成されている。

【0012】図6に示したメモリセルアレイにおけるメモリセルへのデータの書き込みは、データを書き込むとするメモリセル(選択されたメモリセル)が属する列の書き込み線に、書き込み値("0"または"1")に応じた極性(向き)の書き込み電流をパルス状に流して磁気抵抗素子の膜面に対して垂直な書き込み磁界を発生するとともに、そのメモリセルが属する行のビット線にアシスト電流をパルス状に流して磁気抵抗素子の膜面に対して水平なアシスト磁界を発生させ、書き込み磁界とアシスト磁界との和磁界によって、選択されたメモリセルのみにデータが書き込まれるようにして行われる。書き込み磁界はメモリ層の磁化方向を決定する磁界となり、アシスト磁界はメモリ層の磁化方向反転に必要な書き込み磁界の大きさを低減するよう働く磁界となる。書き込み磁界だけあるいはアシスト磁界だけでは磁気抵抗素子において磁化方向反転が起こらないように、書き込み電流及びアシスト電流の大きさは定められる。上述したように、パルス状の書き込み電流は信号源21で生成され、書き込み線上での書き込み電流の極性は書き込みスイッチ13によって決定される。

【0013】アシスト電流としてパルス状の電流を発生するための信号源22が設けられている。選択された行のビット線にパルス状のアシスト電流を流すために、各ビット線の一端には、信号源22とそのビット線を接続するためのスイッチ素子としてのトランジスタ15が設けられ、他端には、その他端でビット線を接地するためのスイッチ素子としてのトランジスタ16が設けられている。トランジスタ15、16は、典型的には、MOSである。トランジスタ15、16によって構成される。信号源22には、電源回路14から電力が供給されている。

【0014】磁気抵抗素子を含むメモリセルをマトリクス状に配置したメモリセルアレイを有する磁気メモリ装置の場合、選択されたメモリセルのみに情報を書き込むために、2種類の電流を必要とする。そのうちの一方は、磁気抵抗素子の磁化方向に平行/反平行な磁界成分を誘起するものであって、書き込むべき二値の情報("0"または"1")に応じて極性が反転する電流であり、本明細書では、このような電流を書き込み電流と呼ぶ。他方の電流は、書き込み電流による情報の記録を支援する磁界を誘起する電流であって、アシスト電流と呼ばれる。アシスト電流は、書き込むべき情報に応じて極性が反転する必要がないか、あるいは極性は反転するが上述した書き込み電流に比べて誘起する磁界の方向が磁気抵抗素子の磁化方向に対して直交する方向である電流である。ここでは図示しないが、場合によっては、2種類の電流の双方が、書き込むべき電流に応じて極性が反転するとともに、同様の方向の磁界を誘起するものもあることがある。その場合は、双方が書き込み電流ということになる。図示した例では、書き込み電流は列方向に流れ、アシスト電流は行方向に流れているが、行と列の関係はもちろん逆になっていてもよい。

【0015】このようなメモリセルアレイにおいて、各ビット線BL1～BL3の一端には、読み出し回路20が設けられている。読み出し回路20は、ワード線WL1～WL3によって選択された列のメモリセルからそのメモリセルに書き込まれたデータを読み出すものである。具体的には、トランジスタ15、16の全てをオフ状態とし、ワード線によって特定の列のトランジスタ12をオン状態とし、読み出し回路20側から対象とするメモリセルの磁気抵抗素子11の抵抗値を読み出し、その結果に基づいて"0"および"1"のいずれが記録されているかを判定する。この場合、磁気抵抗素子11の抵抗値の絶対値を測定するのではなく、たとえば読み出し回路20内に参照セルを設け、その参照セルと磁気抵抗素子11の抵抗との大小を比較して"0"および"1"のいずれであるかを判定する。参照セルには、磁気抵抗素子11において記録値が"0"のときの抵抗値と記録値が"1"であるときの抵抗値との中間となる抵抗値が設定されるようにする。そして、参照セルと磁気抵抗素子11の双方に所定電流を流し、そのときに参照

セルおよび磁気抵抗素子 11 の双方の両端に発生する電圧を検出し、両者の電圧を比較することによって、参照セルの抵抗値の方が大きいか、磁気抵抗素子 11 の抵抗値の方が大きいかを判定し、磁気抵抗素子 11 に記録されたデータを判別する。

【0016】ここで各信号源 21, 22 について説明する。

【0017】行方向及び列方向に多数配列した磁気抵抗素子のうち選択された磁気抵抗素子に対して記録が確実に行われるとともに、選択されなかつた磁気抵抗素子に対しては誤った磁化反転が起こらないようにするために、書き込み電流及びアシスト電流は、それぞれ、所定の大きさ(電流値)で所定の継続時間を有するものである必要がある。特に、電流値が規定値より過度に小さい場合には確実な記録が保証されず、逆に電流値が過度に大きい場合には、選択されていない磁気抵抗素子における磁化の反転が引き起こされる。

【0018】従来、信号源 21, 22 としては、例えば、図 8 (a) に示すように、所定の電流を発生する定電流源 81 と、定電流源 81 の出力に設けられたスイッチ素子 82 からなるものが使用されていた。スイッチ素子 82 のオン/オフすることで、所定の大きさであつてかつ所定の継続時間有する矩形パルス状の書き込み電流あるいはアシスト電流が発生する。なお、書き込み電流を発生する信号源 21 の場合、書き込みスイッチ 13 内のトランジスタ T1 ~ T4 がスイッチ素子 82 を遮るようにしてもよい。

【0019】しかしながら、上述した従来の信号源 21, 22 を使用した場合、メモリセルアレイ内での寄生容量や、書き込み線やビット線の抵抗成分、インダクタンス成分などの影響により、メモリセルアレイ内での実際の書き込み電流、アシスト電流のパルス電流波形に、図 8 (b) に示すようなオーバーシュートが発生する。本発明者らの検討によれば、このオーバーシュートの電流波高値は、本来の規定された電流値 I の 1.5 倍程度となる。選択された磁気抵抗素子に確実に記録を行い、かつ、選択されていない磁気抵抗素子への誤記録を防止するために、オーバーシュートの波高値に対して許容値が定められ、その許容値は規定された電流値(規定値) I の 1.2 倍程度である。すると、規定値 I の 1.5 倍もの波高値を有するオーバーシュートは、磁気抵抗素子における誤記録や書き込み不良の原因となるおそれがある。

【0020】

【発明が解決しようとする課題】そこで本発明の目的は、データ書き込み時に書き込み電流及び/またはアシスト電流に発生するオーバーシュートを抑制することができる、磁気メモリ装置の書き込み回路を提供することにある。

【0021】

【課題を解決するための手段】本発明の磁気メモリ装置の書き込み回路は、パルス状の電流によって誘起される磁界に応じて情報が書き込まれる磁気抵抗素子をメモリセルごとに有する磁気メモリ装置における書き込み回路において、パルス状の電流を発生させる電流発生手段では、パルス状の電流の立ち上がり時において複数段階で電流供給能力を高めることを特徴とする。

【0022】上述したように、磁気メモリ装置においては、一般に、磁気抵抗素子の磁化方向に平行/反平行な磁界成分を誘起し書き込むべき二値の情報に応じて極性が反転するパルス状の電流である書き込み電流を発生する第 1 の信号源と、書き込み電流による磁気抵抗素子への情報の記録を支援する磁界を誘起するパルス状の電流であるアシスト電流を発生する第 2 の信号源とが設けられるが、少なくとも第 1 の信号源及び第 2 の信号源の一方をパルス状の電流の立ち上がり時において複数段階で電流供給能力を高めることを特徴とする電流発生手段により構成することが好ましい。第 1 の信号源及び第 2 の信号源の両方をこのような電流発生手段で構成することがさらに好ましい。

【0023】

【発明の実施の形態】次に、本発明の好ましい実施の形態について、図面を参照して説明する。まず、本発明の書き込み回路の基本的な動作原理を説明する。

【0024】本発明では、書き込み電流やアシスト電流として矩形の電流パルスを発生する代わりに、パルス状の電流を発生させる電流発生手段によって、パルス状の電流の立ち上がり時において複数段階で電流供給能力を高めることとする。例えば、パルス状の電流の立ち上がり時において複数段階で電流を流し、最終的には本来の規定された電流値(規定値) I となるパルスを生成する。このように構成すると、最初の段階での電流値を規定値 I よりも小さくすることができるので、矩形波電流パルスを用いる場合に比べてオーバーシュートを小さくすることができる。そしてこのオーバーシュートがある程度収まった時点で第 2 の段階の電流値とする。第 2 の段階での電流の増分も、当然、規定値 I より小さいから、この第 2 の段階でのオーバーシュートも矩形波電流パルスを用いる場合に比べて小さい。このように複数段階に分けることにより、全体としてオーバーシュートの電流波高値を従来の矩形波電流パルスを用いる場合比べて小さくすることができ、磁気メモリ装置の書き込み回路として、選択された磁気抵抗素子に確実に記録を行い、かつ、選択されていない磁気抵抗素子への誤記録を確実に防止できる書き込み回路とすることができます。

【0025】何段階に分けて電流値を供給させるか、であるが、あまり段階数を増やすと回路的に複雑になり、また、オーバーシュートの許容値が規定値 I の概ね 1.2 倍程度であることから、2 段階とすることが好み。もちろん、3 段階以上としても構わない。

9

【0026】本発明では、このように、書き込み電流及び／またはアシスト電流のパルス電流について、立ち上がり時に複数段階で電流を供給するようにしている。こがり時に複数段階で電流を供給するようにしている。こがりには、図6に示した磁気メモリ装置における信号源21及び／または信号源22として、そのようなパルス電流を生成する回路を用いればよい。そこで、図1(a)は、本発明に基づく書き込み回路の一例であつて、2段階で電流を供給させるとして信号源21, 22に使用できる回路の原理的な構成の一例を示し、また、図1(b)は、図1(a)に示す回路を信号源として使用した場合の、メモリセルアレイ内での書き込み電流やアシスト電流の実際のパルス電流波形の一例を示している。

【0027】図1(a)に示す回路は、電流I1を与える定電流源51と、電流I2を与える定電流源52と、定電流源51の出力に設けられたスイッチ素子53と、定電流源52の出力に設けられたスイッチ素子54とを共有し、スイッチ素子53, 54の出力側は端子55と共に、スイッチ素子53, 54の出力側は端子55にしてこの回路を接続されている。上述した信号源21としてこの回路を用いるのであれば、端子55は書き込みスイッチ13に接続し、信号源22として用いるのであれば、端子55は各ビット線のトランジスタ15に接続する。ここで電流I1と電流I2の和は、書き込み電流あるいはアシスト電流として規定された電流値(規定値)Iとなるようになる。I1とI2は相互に等しくても等しくなくてもよい。スイッチ素子53, 55としては、例えば、トランジスタなどを使用することができる。

【0028】そして図1(a)に示す回路により書き込み電流あるいはアシスト電流用の電流パルスを発生する場合、スイッチ素子53, 54がいずれも遮断状態にあるとして、まず、スイッチ素子53を導通状態にし、その後、所定の遅延時間を経てからスイッチ素子54を導通状態とする。電流パルスを終わらせるためには、スイッチ素子53, 54を同時に遮断状態とする。このようにスイッチ素子53, 54を操作すると、図1(b)に示すように、まず電流I1が端子55から流れようとし、それに伴うオーバーシュートが発生する。定的に流れようになったときの電流値の1.5倍がオーバーシュートの電流波高値であると仮定すると、 $I_1 \leq 0.8 \cdot I$ と設定することにより、電流I1を流したときのオーバーシュートの電流波高値は $1.2 \cdot I$ 以下となり、オーバーシュートの許容値内に収まる。その後、このオーバーシュートがある程度落ち着くだけの所定の遅延時間の経過後、スイッチ素子54が導通状態となり、電流I($= I_1 + I_2$)が端子55から流れようとする。このとき新たに発生するオーバーシュートは、電流の増分I2に対応するものであり、I2が例えば $0.4 \cdot I$ 程度より小さければ、オーバーシュートにおける電流波高値は $1.2 \cdot I$ を超えることはなく、オーバーシ

10

ュートの許容値内に収まることになる。

【0029】次に、上述のようにして立ち上がり部が2段階となっているパルス状の書き込み電流及び／またはアシスト電流を発生する回路の具体例を説明する。

【0030】(回路例1) 図2に示した回路は、等価的には電流I1, I2にそれぞれ対応する2つの定電流源を設け、これらの定電流源をそれぞれ独立に制御できるようにしたものである。すなわち、基準となる電流IREFを与える定電流源61の一端を接地し、この定電流源61の他端にpチャネルMOS電界効果トランジスタ62のドレインとゲートを接続し、トランジスタ62のソースは電源Vccに接続している。さらに2つのpチャネルMOS電界効果トランジスタ63, 65が設けられており、これらのトランジスタのソースはいずれも電源Vccに接続している。トランジスタ63のゲートは、スイッチ素子64により、そのソースかトランジスタ62のゲートかに接続するようになっている。同様に、トランジスタ65のゲートは、スイッチ素子66により、そのソースかトランジスタ62のゲートかに接続するようになっている。スイッチ素子64, 66としては、例えばトランジスタから構成されたものを使用することができる。

【0031】次に、図2に示した回路の動作を説明する。定電流源61は常に基準電流IREFを流し続けており、電源電圧Vccによらず、トランジスタ62のゲート・ソース間電圧はトランジスタ62のドレイン電流が電流IREFであるような電圧である。スイッチ素子64がトランジスタ62のゲートに接続している場合、トランジスタ62のゲート・ソース間電圧がそのままトランジスタ63のゲートに印加されることとなる。ここでもしトランジスタ63がトランジスタ62と同じ特性を有するものであれば、カレントミラー回路が形成され、トランジスタ63のドレイン電流もIREFとなる。実際にには、トランジスタ63のドレインから所望の電流I1が得られるように、トランジスタ63を設計する。トランジスタ62, 63を同一の半導体製造プロセスにおいて同時に形成し、かつ両者のチャネル長を同じとする場合であれば、トランジスタ62, 63のチャネル幅の比が電流IREFとI1との比に一致するようにすればよい。

これに対しスイッチ素子64がトランジスタ63のソースに接続している場合は、このトランジスタ63は遮断状態となる。同様に、スイッチ素子66がトランジスタ62のゲートに接続する場合には、トランジスタ65のゲート・ソース間電圧はトランジスタ62のゲート・ソース間電圧と等しくなる。そこで、ドレイン電流が所望の電流I2となるようにトランジスタ65を設計しておくことにより、スイッチ素子66がトランジスタ62のゲートに接続しているときにはトランジスタ65のドレンから電流I2が得られる。ここで $I_1 = I_2$ であつても、 $I_1 \neq I_2$ であつてもよい。スイッチ素子66が

11

トランジスタ 6 5 のソースに接続している場合は、このトランジスタ 6 5 は遮断状態となる。

【0032】したがって、図 2 に示す回路により書き込み電流あるいはアシスト電流を発生させる場合には、予めスイッチ素子 6 4, 6 6 をいずれもトランジスタ 6 3, 6 5 のソース側にしておき、まず、スイッチ素子 6 4 をトランジスタ 6 2 のゲート側に切り替える。その結果、トランジスタ 6 3 のドレインから電流 I_1 が流れ始める。そして所定の遅延時間の経過後、スイッチ素子 6 6 もトランジスタ 6 2 のゲート側に切り替える。それにより、トランジスタ 6 5 のドレインから電流 I_2 が流れ始める。さらに所定の時間の経過後、スイッチ素子 6 4, 6 6 を同時にトランジスタ 6 3, 6 5 のソース側に切り替え、電流 I_1 , I_2 の出力を停止する。トランジスタ 6 3, 6 5 のドレインを相互に接続してこの回路の出力とすることにより、立ち上がり時に 2 段階で電流が供給されるパルス電流が得られるから、これを書き込み電流あるいはアシスト電流として用いればよい。

【0033】(回路例 2) 図 3 に示す回路は、等価的には電流 I_1 , I_2 にそれぞれ対応する 2 つの定電流源を設けるとともに、定電流源の出力側にスイッチ素子を設けた構成のものである。すなわち、基準となる電流 I_{REF} を与える定電流源 6 1 の一端を接地し、この定電流源 6 1 の他端に p チャネル MOS 電界効果トランジスタ 6 2 のドレインとゲートを接続し、p ドランジスタ 6 2 のソースは電源 V_{cc} に接続している。さらに 2 つの p チャネル MOS 電界効果トランジスタ 6 7, 6 9 が設けられており、これらのトランジスタのソースはいずれも電源 V_{cc} に接続し、ゲートはトランジスタ 6 2 のゲートに接続している。トランジスタ 6 7, 6 9 のドレインは、スイッチ素子 6 8, 7 0 を介して電流を出力するようになっている。スイッチ素子 6 7, 6 9 としては、例えばトランジスタから構成されたものを使用することができる。

【0034】次に、図 3 に示した回路の動作を説明する。定電流源 6 1 は常に基準電流 I_{REF} を流し続けており、トランジスタ 6 2 のゲート・ソース間電圧は、トランジスタ 6 2 のドレイン電流が電流 I_{REF} であるような電圧であり、トランジスタ 6 7, 6 9 のゲート・ソース間電圧も、このトランジスタ 6 2 のゲート・ソース間電圧となる。そこで、このようなゲート・ソース間電圧が印加されたときにそれぞれドレイン電流が I_1 , I_2 となるようにトランジスタ 6 7, 6 9 を設計しておくことにより、トランジスタ 6 7, 6 9 はそれぞれ電流 I_1 , I_2 の定電流源として動作することになる。したがって、スイッチ素子 6 8, 7 0 の出力側を相互に接続してこの回路の出力とし、かつ、図 1 に関連して説明したのと同様にスイッチ素子 6 8, 7 0 を操作することにより、立ち上がり時に 2 段階で電流が供給されるパルス電流が得られる。これを書き込み電流あるいはアシスト電

流として用いればよい。なお、電流パルスを終わらせるときには、スイッチ素子 6 8, 7 0 を同時に遮断状態とすればよい。

【0035】(回路例 3) 図 4 に示した回路は、トランジスタの実効的な抵抗値を変化させることにより、立ち上がり時に 2 段階に分けて電流が供給されるパルス電流を得ようとするものである。すなわち、基準となる電流 I_{REF} を与える定電流源 6 1 の一端を接地し、この定電流源 6 1 の他端に p チャネル MOS 電界効果トランジスタ 6 2 のドレインとゲートを接続し、トランジスタ 6 2 のソースは電源 V_{cc} に接続している。もう 1 つの p チャネル MOS 電界効果トランジスタ 7 1 が設けられており、トランジスタ 7 1 のソースは電源 V_{cc} に接続し、ゲートはトランジスタ 6 2 のゲートに接続している。トランジスタ 7 1 のドレインには、n チャネル MOS 電界効果トランジスタ 7 2 のドレインが接続し、トランジスタ 7 2 のソースがこの回路の出力端子となっている。トランジスタ 7 2 のゲートには、スイッチ信号 V_{ST} が入力する。

【0036】次に、図 4 に示した回路の動作を説明する。定電流源 6 1 は常に基準電流 I_{REF} を流し続けており、トランジスタ 6 2 のゲート・ソース間電圧は、トランジスタ 6 2 のドレイン電流が電流 I_{REF} であるような電圧であり、トランジスタ 7 1 のゲート・ソース間電圧も、このトランジスタ 6 2 のゲート・ソース間電圧となる。そこで、トランジスタ 7 1 は、このようなゲート・ソース間電圧が印加された場合にそのドレイン電流が書き込み電流あるいはアシスト電流の規定値 I となるように設計し、電流 I の定電流源として動作するようにしておこう。このような状態で、トランジスタ 7 2 のゲートに対し、通常時 (パルス電流を発生させないとき) にはトランジスタ 7 2 が遮断状態となるように、そして、書き込み電流あるいはアシスト電流のパルス電流を発生する際には、異なるレベルの電圧信号をゲートに対して印加することで、トランジスタ 7 2 のドレイン電流を立ち上がり時に 2 段階で供給させる。このような異なるレベルの電圧信号として、たとえばスイッチ信号 V_{ST} がある。スイッチ信号 V_{ST} は図 4 中に示すように、通常時は 0 电压であり、パルス電流の立ち上がり時の第 1 段階として、トランジスタ 7 2 のドレイン電流が電流 I_1 となるような電位を有し、第 2 段階としてトランジスタ 7 2 が実質的に完全な導通状態 (0Ω 状態) となるような異なるレベルの電位を有する信号を用いる。そのようなスイッチ信号 V_{ST} を用いることによって、トランジスタ 7 2 のソースからは、書き込み電流あるいはアシスト電流として使用できる、立ち上がり時に 2 段階で電流が供給されるパルス電流が得られる。

【0037】(回路例 4) 図 5 に示した回路は、立ち上がり時に 2 段階で電流が供給されるパルス電流を得るために、図 4 に示す回路のように異なるレベルの電圧信号

で制御されるトランジスタを用いる代わりに、2つのトランジスタを並列に配置した構成のものである。すなわち、基準となる電流 I_{REF} を与える定電流源 6 1 の一端を接地し、この定電流源 6 1 の他端に p チャネル MOS 電界効果トランジスタ 6 2 のドレインとゲートを接続し、トランジスタ 6 2 のソースは電源 V_{cc} に接続している。もう1つの p チャネル MOS 電界効果トランジスタ 7 3 が設けられており、トランジスタ 7 3 のソースは電源 V_{cc} に接続し、ゲートはトランジスタ 6 2 のゲートに接続している。2つの n チャネル MOS 電界効果トランジスタ 7 4, 7 5 が設けられており、これらのトランジスタ 7 4, 7 5 のドレインは共通にトランジスタ 7 3 のドレインに接続している。また、トランジスタ 7 4, 7 5 のソースも共通接続してこの回路の電流出力となっている。トランジスタ 7 4 のゲートには制御信号 ϕ_1 が入力し、トランジスタ 7 5 のゲートには制御信号 ϕ_2 が入力する。制御信号 ϕ_1 , ϕ_2 は制御装置 CNT によって図示された異なる立ち上がりタイミングのパルスを発生させる。制御信号 ϕ_1 , ϕ_2 は、いずれも、通常時には、対応するトランジスタ 7 4, 7 5 を遮断状態とするよう、典型的には0電位となる。

【0038】次に、図5に示した回路の動作を説明する。定電流源 I_{REF} は常に基準電流 I_{REF} を流し続けており、トランジスタ62のゲート・ソース間電圧は、トランジスタ62のドレイン電流が電流 I_{REF} であるような電圧であり、トランジスタ73のゲート・ソース間電圧も、このトランジスタ62のゲート・ソース間電圧となる。そこで、トランジスタ73は、このようなゲート・ソース間電圧が印加された場合にそのドレイン電流が書き込み電流あるいはアシスト電流の規定値 I_1 となるように設計し、電流 I_1 の定電流源として動作するようにしておく。そして書き込み電流あるいはアシスト電流のパルス電流を発生させる際には、まず、制御信号 ϕ_1 を0電位からトランジスタ74のドレイン電流が電流 I_1 となるような電位に変化させる。その結果、トランジスタ74のソースから電流 I_1 が流れ出し、これがこの回路の電流出力となる。次に、所定の遅延時間の経過後、制御信号 ϕ_2 を0電位からトランジスタ75のドレイン電流が電流 I_2 となるような電位に変化させ、トランジスタ75のソースから電流 I_2 が流れ出すようにする。これにより、この回路の出力電流は I ($= I_1 + I_2$) となる。パルス電流を立ち下げるタイミングでは、制御信号 ϕ_1 , ϕ_2 の双方を同時に0電位にしてトランジスタ74, 75を遮断状態に遷移させる。このようにして、書き込み電流あるいはアシスト電流として使用できる、立ち上がり時に2段階で電流が供給されるパルス電流が得られる。

【0039】(回路例5) 図9に示した回路は、单一のカレントミラー回路により2種類の電流値を発生できるようすることにより、2段階で電流が供給されるパルス

電流を生成するようにしたものである。すなわち、基準となる電流 I_{REF} を与える定電流源 6 1 の一端を接地し、この定電流源 6 1 の他端に p チャネル MOS 電界効果トランジスタ 6 2 のドレインとゲートを接続し、トランジスタ 6 2 のソースは電源 V_{cc} に接続している。もう 1 つの p チャネル MOS 電界効果トランジスタ 7 6 が設けられており、トランジスタ 7 6 のソースは、抵抗 7 7 を介して電源 V_{cc} に接続し、ゲートはトランジスタ 6 2 のゲートに接続している。さらに、抵抗 7 7 を短絡するスイッチ素子 7 8 と、トランジスタ 7 6 のゲートを電源 V_{cc} に接続するスイッチ素子 7 9 とが設けられている。

【0041】書き込み電流あるいはアシスト電流のパルス電流を発生する際には、スイッチ素子78を遮断状態としたまま、スイッチ素子79を遮断状態とする。すると、基準電流 I_{REF} はトランジスタ62を流れるようになり、トランジスタ62のゲート・ソース間電圧は、トランジスタ62のドレイン電流が電流 I_{REF} であるような電圧である。トランジスタ76のゲート電位も、このトランジスタ62のゲート・ソース間電圧となり、トランジスタ76からドレイン電流が流れ出すようになる。この段階で、トランジスタ76のソースには抵抗77が挿入されていることになるので、トランジスタ76のゲート・ソース間電圧は、抵抗77による電圧降下の分だけ、トランジスタ62のゲート・ソース間電圧より小さくなる。次に、所定の遅延時間の経過後、スイッチ素子78を導通状態として、抵抗77が短絡されるようする。すると、トランジスタ76のゲート・ソース間電圧は、トランジスタ62のゲート・ソース間電圧と等しくなり、抵抗77が挿入されていたときに比べて大きなドレイン電流がトランジスタ76から流れ出すことになる。スイッチ素子79が遮断状態であるとするとトラン

40 ジスタ 62 とトランジスタ 76 はカレントミラー回路を構成していることになるから、抵抗 77 が挿入されたときのトランジスタ 76 のドレン電流が I_1 、抵抗 77 が短絡されているときのドレン電流が規定値 I となるように、トランジスタ 76 の特性や抵抗 77 の抵抗値を定めておくことにより、パルス電流の立ち上がり時には電流 I_1 、遅延時間の経過後には電流 I となるような、2 段階で電流が供給されるパルス電流が得られる。なお、このパルス電流を停止するためには、スイッチ素子 79 を遮断状態にすればよい。

50 【0042】以上、本発明の好ましい実施の形態について

て説明した。本発明の書き込み回路は、面内磁化膜を用いた磁気抵抗素子をメモリ素子として用いる磁気メモリ装置にも、垂直磁化膜を用いた磁気抵抗素子をメモリ素子として用いる磁気メモリ装置にも、等しく適用できるものである。

【0043】また、磁気メモリ装置のメモリセルアレイの構成として、図6に示したようにピット線自体にアシスト電流を流す構成以外に、ピット線と平行にアシスト電流を流すための線を設ける構成もあるが、そのような構成の磁気メモリセルに対しても本発明は有効である。さらには、ピット線に書き込み電流を流しあるいはピット線に平行に書き込み線を設け、ワード線にアシスト電流を流しあるいはワード線に平行にアシスト電流を流すための線を設ける構成もあるが、そのような構成の磁気メモリ装置にも本発明は有効である。書き込み電流を流すための書き込み線を図6に示すように折り返し構造の布線とすることが一般的に行われているが、そのような構造において、nを1以上の整数として、2n-1番目の列の書き込み線の後半部分と2n番目の列の書き込み線の前半部分を共通のものとする構成もあるが、そのような構成の磁気メモリ装置にも本発明は有効である。要するに、本発明の磁気メモリ装置の書き込み回路は、磁気抵抗素子を備えたメモリセルを有する磁気メモリ装置において、磁気抵抗素子に情報を記録するために磁気抵抗素子に印加される磁場を誘起するパルス電流を発生する全ての回路に適用されるものである。

【0044】

【発明の効果】以上説明したように本発明は、書き込み電流やアシスト電流として矩形の電流パルスを発生する代わりに、パルス状の電流を発生させる電流発生手段によって、パルス状の電流の立ち上がり時において複数段階で電流供給能力を高めることでパルス状の電流を供給させ、最終的には本来の規定された電流値となるパルスを生成することにより、データ書き込み時に書き込み電流やアシスト電流に発生するオーバーシュートを抑制することができ、磁気抵抗素子における誤記録や書き込み不良を防止することができる、という効果がある。

【図面の簡単な説明】

【図1】(a)は本発明の実施の一形態の書き込み回路の原理的構成を示す回路図であり、(b)は(a)に示す回路を信号源として用いた場合のメモリセルアレイ内

での実際のパルス電流波形の一例を示す波形図である。

【図2】回路例1の回路の構成を示す回路図である。

【図3】回路例2の回路の構成を示す回路図である。

【図4】回路例3の回路の構成を示す回路図である。

【図5】回路例4の回路の構成を示す回路図である。

【図6】MRAMのメモリセルアレイの構成の一例を示す回路図である。

【図7】メモリセルの構成の一例を示す断面図である。

【図8】(a)は従来の磁気メモリ装置の書き込み回路における信号源の構成を概念的に示す回路図であり、(b)は(a)に示すような信号源を用いた場合に書き込み時に実際にメモリセルアレイ内を流れるパルス電流波形の一例を示す波形図である。

【図9】回路例5の回路の構成を示す回路図である。

【符号の説明】

1 1 磁気抵抗素子

1 2, 1 5, 1 6 スイッチ素子

1 3 書き込みスイッチ

1 4 電源回路

2 0 読み出し回路

2 1, 2 2 信号源

3 0 半導体基板

3 1 素子分離領域

3 2 ドレイン領域

3 3 ソース領域

3 4 ゲート絶縁膜

3 5, WL1~WL3 ワード線

3 6~3 8, 4 3, 4 5 層間絶縁膜

3 9, 4 1 ブラグ

4 0 接地線

4 2, WWL1~WWL3 書き込み線

4 4, BL1~BL3 ピット線

5 0 参照セル

5 1, 5 2, 6 1, 8 1 定電流源

5 3, 5 4, 6 4, 6 6, 6 8, 7 0, 7 8, 7 9, 8

2 スイッチ素子

5 5 端子

6 2, 6 3, 6 5, 6 7, 6 9, 7 1~7 5, 7 6

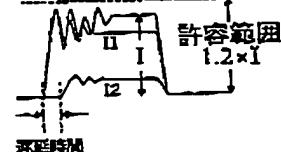
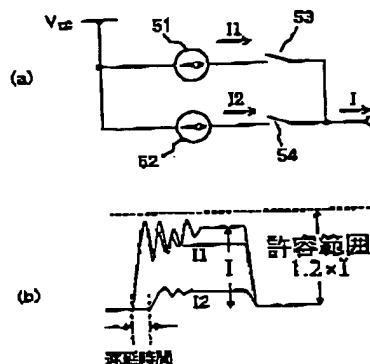
トランジスタ

40 7 7 抵抗

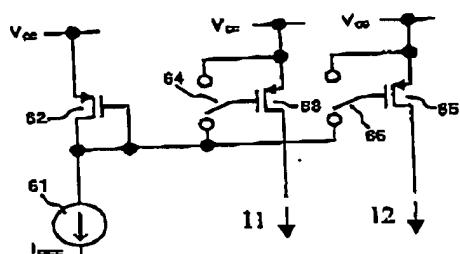
T 1~T 4 トランジスタ

(10)

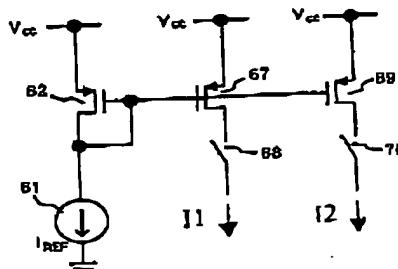
[圖 1]



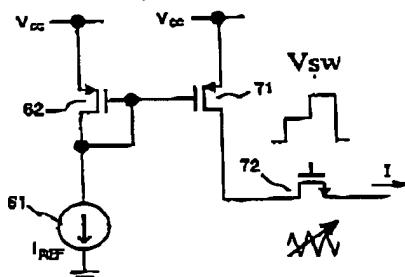
[图2]



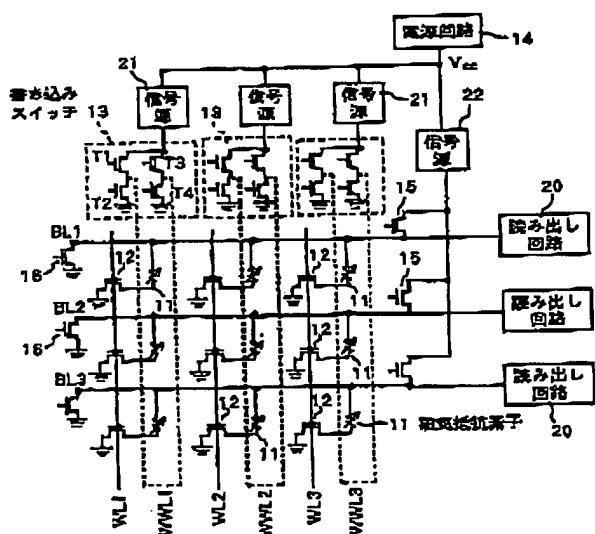
[FIG 3]



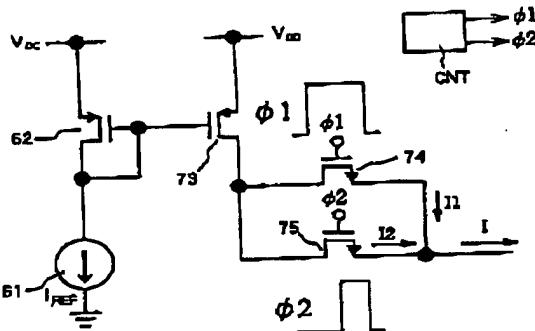
[图4]



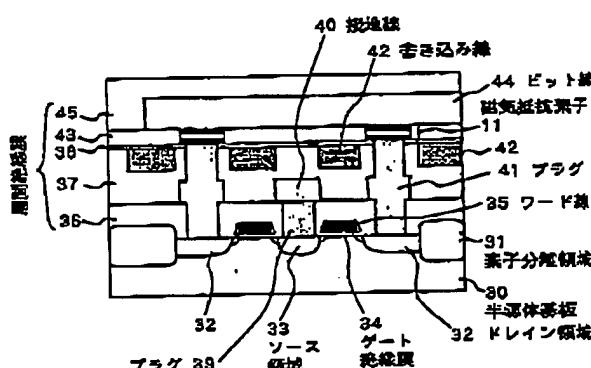
[図6]



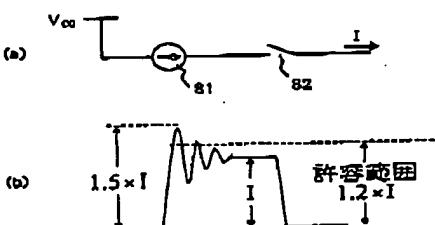
[図5]



(图7)

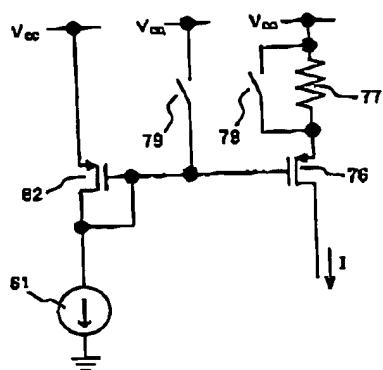


[图 8]



(11)

【図9】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.